

04291183 **Image available**
NONVOLATILE SEMICONDUCTOR MEMORY

PUB. NO.: 05-282883 [JP 5282883 A]
PUBLISHED: October 29, 1993 (19931029)
INVENTOR(s): TANAKA YOSHIYUKI

TANAKA TOMOHARU
NAKAMURA HIROSHI
OHIRA HIDEKO
OKAMOTO YUTAKA

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

APPL NO.: 04-077948 [JP 9277948]

FILED: March 31, 1992 (19920331)

INTL CLASS: [5] G11C-016/06

JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: P, Section No. 1688, Vol. 18, No. 74, Pg. 134,
February 07, 1994 (19940207)

ABSTRACT

PURPOSE: To execute a predetermined processing operation such as copying of
predetermined unit data to other predetermined unit, erasing, verifying,
etc., at a high speed.

CONSTITUTION: The nonvolatile semiconductor memory comprises memory means 1
having data memory areas divided into predetermined units, latch means 2
for latching data to a predetermined unit by reading, inverting it and
relatching it, and means for executing a predetermined processing operation
based on inversion of the data. Accordingly, copying of predetermined unit
data, etc., is executed at a high speed without necessity of reading data
to an exterior, retransferring it.

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-282883

(43)公開日 平成5年(1993)10月29日

(51)Int. Cl.⁵
G 1 1 C 16/06

識別記号 庁内整理番号

F I

技術表示箇所

6741-5 L

G 1 1 C 17/00 3 0 9 C

審査請求 未請求 請求項の数5

(全12頁)

(21)出願番号 特願平4-77948

(22)出願日 平成4年(1992)3月31日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 田中 義幸

神奈川県川崎市幸区小向東芝町1 株式会
社東芝総合研究所内

(72)発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1 株式会
社東芝総合研究所内

(72)発明者 中村 寛

神奈川県川崎市幸区小向東芝町1 株式会
社東芝総合研究所内

(74)代理人 弁理士 三好 保男 (外1名)

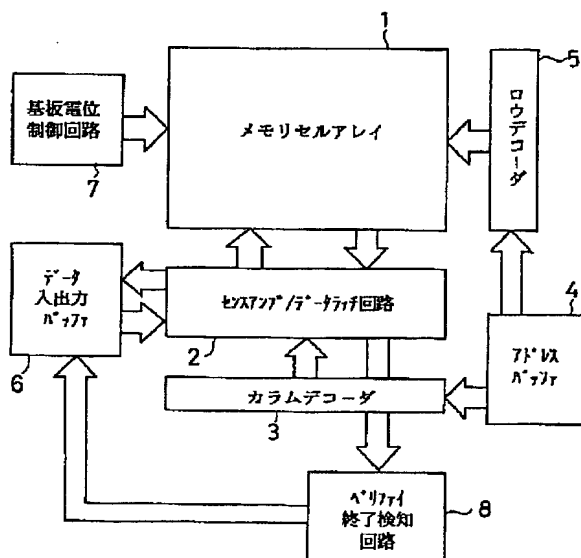
最終頁に続く

(54)【発明の名称】 不揮発性半導体メモリ装置

(57)【要約】

【目的】 本発明は、所定単位データの他の所定単位へのコピー処理、消去ペリファイ動作等の所要の処理動作を高速に行うことを目的とする。

【構成】 所定単位に分割されたデータ記憶領域を備えたメモリ手段1と、所定単位へのデータを読み出し動作によりラッチしこれを反転して再ラッチするラッチ手段2と、このデータの反転に基づいて所要の処理動作を実行する手段とを有することを特徴とする。



【特許請求の範囲】

【請求項 1】 所定単位に分割されたデータ記憶領域を備えたメモリ手段と、前記所定単位のデータを読み出し動作によりラッチするとともにこのラッチしたデータを反転し再ラッチするラッチ手段と、前記データの反転に基づいて所要の処理動作を実行する手段とを有することを特徴とする不揮発性半導体メモリ装置。

【請求項 2】 前記所要の処理動作は、前記所定単位に記憶されているデータを他の所定単位に書き込むコピー処理であることを特徴とする請求項 1 記載の不揮発性半導体メモリ装置。

【請求項 3】 前記所要の処理動作は、消去ペリファイ動作であることを特徴とする請求項 1 記載の不揮発性半導体メモリ装置。

【請求項 4】 前記データの反転は 1 所定単位分一括で行うように構成してなることを特徴とする請求項 1 又は 2 記載の不揮発性半導体メモリ装置。

【請求項 5】 前記メモリ手段が複数で構成される場合において、前記データの反転は、当該複数のメモリ手段における処理動作のアドレスに応じて行うか否かを判断するように構成してなることを特徴とする請求項 1、2、3 又は 4 記載の不揮発性半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、フラッシュ EEPROM (特に NAND 型 EEPROM) を用いた不揮発性半導体メモリ装置に関する。

【0002】

【従来の技術】従来コンピュータシステムの記憶装置として磁気ディスク装置が広く用いられてきた。しかし磁気ディスク装置は高度に精密な機械的駆動機構を有するため衝撃に弱く重量もあるため可搬性に乏しい、消費電力が大きく電池駆動が容易でない、高速アクセスができない等の欠点があった。

【0003】そこで近年 EEPROM を用いた半導体メモリ装置の開発が進められている。半導体メモリ装置は機械的駆動部分を有しないため衝撃に強く、軽量のため可搬性に富み、消費電力も小さいため電池駆動が容易であり、高速アクセスが可能であるという長所を有している。

【0004】しかし EEPROM は書き込み／消去回数において有限の寿命を有しており、その信頼性の確保には磁気ディスク装置には必要のなかったシステム制御が必要となる。

【0005】EEPROM のひとつとして、高集積化が可能な NAND 型 EEPROM が知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共有する形で直列接続して一単位とし、ビット線に接続するものである。メモリセルは通常、電荷蓄積層と制御ゲートが積層された FETMOS

構造を有する。メモリセルアレイは、p 型基板、又は n 型基板に形成された p 型ウェル内に集積形成される。NAND 型 EEPROM のドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介して、ソース線 (基準電位配線) に接続される。メモリセルの制御ゲートは、行方向に連続的に接続されてワード線となる。通常同一ワード線につながるメモリセルの集合を 1 ページと呼び、一組のドレイン側及びソース側の選択ゲートに挟まれたページの集合を 1 NAND ブロック又は単に 1 ブロックと呼ぶ。通常、この 1 ブロックは独立に消去可能な最小単位となる。

【0006】NAND 型 EEPROM の動作は次の通りである。データの消去は 1 NAND ブロック内のメモリセルに対して同時に行われる。即ち選択された NAND ブロックの全ての制御ゲートを基準電位 VSS とし、p 型ウェル及び n 型基板に高電圧 VPP (例えば 20V) を印加する。これにより、全てのメモリセルにおいて浮遊ゲートから基板に電子が放出され、しきい値は負の方向にシフトする。通常この状態を "1" 状態と定義する。またチップ消去は全 NAND ブロックを選択状態にすることによりなされる。

【0007】データの書き込み動作は、ビット線から最も離れた位置のメモリセルから順に行われる。NAND ブロック内の選択された制御ゲートには高電圧 VPP (例えば 20V) を印加し、他の非選択ゲートには中間電位 VM (例えば 10V) を与える。またビット線にはデータに応じて、VSS または VM を与える。ビット線に VSS が与えられたとき ("0" 書き込み)、その電位は選択メモリセルに伝達され、浮遊ゲートに電子注入が生ずる。これによりその選択メモリセルのしきい値は正方向にシフトする。通常この状態を "0" 状態と定義する。ビット線に VM が与えられた ("1" 書き込み) メモリセルには電子注入は起らず、従ってしきい値は変化せず負に留まる。

【0008】データの読み出し動作は NAND ブロック内の選択されたメモリセルの制御ゲートを VSS とし、それ以外の制御ゲート及び選択ゲートを VCC とし選択メモリセルで電流が流れるか否かを検出することにより行われる。読み出されたデータはセンスアンプ兼データラッチ回路にラッチされる。

【0009】ここで、ある 1 ページのデータを他のページに記憶し直す時の従来の方法を以下に示す。まずランダムリード動作によって、センスアンプ兼ラッチ回路にデータをラッチする。次にページ読み出し動作によって、データを外部のバッファメモリ回路に記憶する。次に書き込み動作に移行し、センスアンプ兼ラッチ回路にデータをバッファメモリから転送し、書き込みを行なう。

【0010】この時 "1" データ (消去状態) についてラッチ回路にラッチされるデータを考えると、読み出し

時には、プリチャージしたビット線電位はメモリセルがDタイプであるから、VSSレベルへ放電される。よってセンスアンプ兼ラッチ回路のビット線側には”L”がラッチされる。また”1”データを書き込む時にはビット線に中間電位を送りトンネル電流を発生させないようにするために、センスアンプ兼ラッチ回路のビット線側には”H”がラッチされる。

【0011】このように、”1”データを読み出す時と書き込むときはセンスアンプ兼ラッチ回路には逆のデータがラッチされていることになる。”0”データについても全く同様のことがいえる。このデータの反転がページデータを他のページに記憶し直すとき外部バッファメモリとの間でページ読み出しとページデータ転送を必要とし、書き込み時間の増加を招いていた。

【0012】次に、図9をもとに、従来のNAND型EEPROMにおける書き込みベリファイ方式について説明する。CMOSフリップフロップからなるセンスアンプ兼データラッチ回路(FF)があり、その第1の出力がΦFにより制御されるEタイプnチャネルMOSトランジスタQn7を介して、ビット線BLiに接続されている。ビット線BLiとVCCの間には、フリップフロップFFの第1の出力により制御されるEタイプnチャネルMOSトランジスタQn8と信号ΦVにより制御されるEタイプnチャネルMOSトランジスタQn9が直列接続されている。またビット線をプリチャージするEタイプpチャネルMOSトランジスタQp5とビット線を放電するEタイプnチャネルMOSトランジスタQn10が接続されている。またフリップフロップFFの第2の出力を入力とする検知トランジスタQn11によって、センスラインVDTCとVSSが接続されている。

【0013】書き込み時に、”1”書き込みの場合はFFのビット線側ノードに”H”がラッチされ、ビット線に中間電位が送られる。”0”書き込みの場合は、FFのビット線側ノードに”L”がラッチされ、ビット線にVSSが転送される。

【0014】書き込み確認動作はQn7がOFF状態で、まずプリチャージ信号ΦP'が”L”となってビット線をVCCにプリチャージする。この状態では書き込みデータがFFに保持されている。この後選択ゲート、制御ゲートが駆動される。ここで、メモリセルがDタイプであれば、ビット線がVSSに放電される。またセルがEタイプであれば、ビット線はVCCレベルを保つ。選択ゲート及び、制御ゲートがリセットされた後、ベリファイ信号ΦVが”H”となって、”1”データが保持されているビット線はVCC-VTHに充電される。その後FFを構成するCMOSインバータを非活性としたのち、Qn7をON状態とし、ビット線の電位をセンスしラッチし、それを再書き込みのデータとする。即ち”1”書き込みのビット線には”H”が、”0”書き込みのビット線で、十分書き込みがなされたものには”H”

がラッチされる。”0”書き込みのビット線で、書き込み不十分なものに対してのみ”L”がラッチされている。再書き込みは全FFのビット線側ノードに”H”がラッチされた状態になるまで続く。

【0015】これは以下のようにして検知される。センスラインVDTCは全FFの検知トランジスタが接続されている。VDTCはpチャネルトランジスタに接続されている。上述のラッチ終了後そのpチャネルトランジスタが所定の時間活性化される。そのとき、全ビット書き込みが完了していれば、検知トランジスタは全て、OFF状態となっているので、VDTCはVCCに充電される。もし書き込み不足のセルが残っていると、そのビット線に対応する検知トランジスタはON状態にあるので、VDTCの電位はVSSに低下していく。このVDTCの電位を検知することによって、書き込みが終了したかどうか、一括で(即ちアドレスを変えて、全ビット読み出すのではなく)検知することができる。

【0016】以上のように書き込み確認動作は一括で検知可能であった。ここで従来の消去の確認動作について説明する。消去の場合は上記の書き込み確認動作と同じ方法がとれない。なぜなら消去したのちセルデータを読み出すと正しく消去されたもののFFはビット線側ノードに”L”がラッチされ、検知トランジスタをONさせてしまい、一括検知ができないためである。よって従来消去の確認動作はページ読み出しによって、チップ外部にデータを読み出し、消去されているかを確認していた。

【0017】以上のように従来消去の確認動作にはページ読み出しを必要とするため時間がかかるという問題があった。

【0018】

【発明が解決しようとする課題】以上のようにNAND型EEPROMを用いた従来の不揮発性半導体メモリ装置では、”1”データを読み出すときと書き込むときでは、メモリセルアレイのビット線の一端に接続されたセンスアンプ兼ラッチ回路には逆のデータがラッチされる。このことは”0”データについても全く同様である。このため、このデータの反転が或るページのデータを他のページに記憶し直すとき外部バッファメモリとの間でページ読み出しとページデータ転送を必要とし、書き込み時間の増加を招くという問題があった。また、消去の確認動作の際についても、ページ読み出しによって外部にデータを読み出し、消去されているか否かを確認する必要があったため、上記と同様に時間の増加を招くという問題があった。

【0019】本発明は以上のような問題に鑑みてなされたもので、ページデータの他のページへのコピー処理又は消去ベリファイ動作等の所要の処理動作を外部へのデータの読み出し、再転送を不要として高速に行うことができる不揮発性半導体メモリ装置を提供することを目的

とする。

【0020】

【課題を解決するための手段】上記課題を解決するために、本発明は、第1に、所定単位に分割されたデータ記憶領域を備えたメモリ手段と、前記所定単位のデータを読み出し動作によりラッチするとともにこのラッチしたデータを反転し再ラッチするラッチ手段と、前記データの反転に基づいて所要の処理動作を実行する手段とを有することを要旨とする。

【0021】第2に、上記第1の構成において、前記所要の処理動作は、前記所定単位に記憶されているデータを他の所定単位に書き込むコピー処理であることを要旨とする。

【0022】第3に、上記第1の構成において、前記所要の処理動作は、消去ペリファイ動作であることを要旨とする。

【0023】第4に、上記第1又は第2の構成において、前記データの反転は1所定単位分一括で行うように構成してなることを要旨とする。

【0024】第5に、上記第1、第2、第3又は第4の構成において、前記メモリ手段が複数で構成される場合において、前記データの反転は、当該複数のメモリ手段における処理動作のアドレスに応じて行うか否かを判断するように構成してなることを要旨とする。

【0025】

【作用】上記構成において、メモリ手段における所定単位から読み出し動作によりラッチ手段にラッチされたデータが、1所定単位分一括の反転動作等により反転されて再ラッチされる。上記所定単位のデータを他の所定単位に書き込むコピー処理等の所要の処理動作の実行の際、その反転・再ラッチされたデータを用いることにより、外部へのデータの読み出し、再転送を必要とすることなく、その実行が可能となる。これにより所要の処理動作を高速に行うことが可能となる。

【0026】メモリ手段が複数で構成される場合において、複数のメモリ手段間におけるコピー元とコピー先等のような、その複数のメモリ手段における処理動作のアドレス関係によっては、反転と等価なデータが得られてデータ反転の動作が不要となる。

【0027】

【実施例】以下本発明の実施例を図面を参照して説明する。

【0028】図1は本発明の第1実施例に係るNAND型EEPROMを用いた不揮発性半導体メモリ装置の構成を示すブロック図である。メモリ手段としてのメモリセルアレイ1に対し、データ書き込み、読み出し、書き込み及び消去ペリファイを行うためのラッチ手段としてのセンスアンプ兼ラッチ回路2が設けられている。メモリセルアレイ1は複数のページからなるブロックに分割され、このブロックがデータ記憶領域となるように構

成されている。センスアンプ兼ラッチ回路2はデータ入出力バッファ6につながり、アドレスバッファ4からのアドレス信号をうけるカラムデコーダ3の出力を入力として受けるようになっている。またメモリセルアレイ1に対して、制御ゲート及び選択ゲートを制御するためにロウデコーダ5が設けられ、メモリセルアレイ1が形成されるp型基板（またはp型ウェル）の電位を制御するための基板電位制御回路7が設けられている。

【0029】ペリファイ終了検知回路8はセンスアンプ兼ラッチ回路2にラッチされているデータを検知しペリファイ終了信号を出力する。ペリファイ終了信号はデータ入出力バッファ6を通じて外部に出力される。

【0030】図2にセンスアンプ兼ラッチ回路2とメモリセルアレイ1及びペリファイ終了検出回路8との接続関係を示す。なお、図2において前記図9における回路素子等と同一ないし均等のものは前記と同一符号を以って示し、重複した説明を省略する。図2の回路では、ビット線BLiとVCC又はVSSレベルの間に、フリップフロップFFの第1の出力により制御されるEタイプnチャネルMOSトランジスタQn8と信号ΦVにより制御されるEタイプnチャネルMOSトランジスタQn9が直列接続されている。

【0031】次に、上述のように構成された不揮発性半導体メモリ装置におけるページからページへのコピー処理動作を説明する。

【0032】まずコピー元のメモリセルのデータを読み出す。ΦFを”H”の状態、Φspを”H”、Φsnを”L”、Φrpを”H”、Φrnを”L”としてC²MOSインバータを非活性としたのち、ΦP'を”L”としてビット線をVCCにプリチャージする。次に選択された制御ゲートをVSSに非選択の制御ゲートをVCCに、選択された選択ゲートをVCCに一定時間保持する。ここで、選択されたメモリセルが消去されており、負のしきい値を持っていれば、セル電流が流れ、ビット線はVSSに放電される。

【0033】次にΦspを”L”、Φsnを”H”としビット線電位を検知し、Φrpを”L”、Φrnを”H”とすることによってデータをラッチする。ΦFを”L”としてセンスアンプ兼ラッチ回路とビット線を分離する。ΦP'を”L”にし、全ビット線をVCCにプリチャージする。ΦP'を”H”にしてビット線をフローティングにする。

【0034】次にΦVを”H”にし、VCC又はVSSの配線はVSSにする。このときセンスアンプ兼ラッチ回路のビット線側ノードに”H”がラッチされているビット線はQn8、Qn9がいずれもON状態になるので、VSSに放電される。（VSSに特に限定する必要はない。）”L”レベルと判定できる低い正の電位でもよい）またセンスアンプ兼ラッチ回路のビット線側ノードに”L”がラッチされているビット線はQn8がOFF

状態になるのでVCCを保つ。

【0035】次にΦVを”L”にする。Φspを”H”、Φsnを”L”、Φrpを”H”、Φrnを”L”としてC²MOSインバータを非活性としたのち、ΦFを”H”にする。Φspを”L”、Φsnを”H”としビット線電位を検知し、Φrpを”L”、Φrnを”H”とすることによってデータをラッチする。

【0036】以上のごとく動作させると始めラッチしたデータの反転データをラッチすることが可能である。

【0037】次にこのラッチ状態のまま書き込み動作に移行する。センスアンプ兼ラッチ回路のVMBをVCCから中間電位に上げる。ビット線側ノードに”H”がラッチされていたビット線は中間電位に、ビット線側ノードに”L”がラッチされていたビット線はVSSになり、選択制御ゲートにVPPが印加される。

【0038】次に書き込みベリファイ動作について説明する。

【0039】書き込み確認動作はQn7がOFF状態で、まずプリチャージ信号ΦP'が”L”となってビット線をVCCにプリチャージする。この状態では書き込みデータがFFに保持されている。この後選択ゲート、制御ゲートが駆動される。ここで、メモリセルがDタイプであれば、ビット線がVSSに放電される。またメモリセルがEタイプであれば、ビット線はVCCレベルを保つ。選択ゲート及び、制御ゲートがリセットされた後、ベリファイ信号ΦVが”H”となって、”1”データが保持されているビット線はVCC-VTHに充電される。VCC又はVSSの配線はVCCである。その後FFを構成するCMOSインバータを非活性としたのち、Qn7をON状態とし、ビット線の電位をセンスしラッチし、それを再書き込みのデータとする。即ち”1”書き込みのビット線には”H”が、”0”書き込みのビット線で、十分書き込みがなされたものには”H”がラッチされる。”0”書き込みのビット線で、書き込み不十分なものに対してのみ”L”がラッチされている。再書き込みは全FFのビット線側ノードに”H”がラッチされた状態になるまで続く。これは以下のようにして検知される。センスラインVDTCは全FFの検知トランジスタが接続されている。VDTCはpチャネルトランジスタに接続されている。上述のラッチ終了後そのpチャネルトランジスタが所定の時間活性化される。そのとき、全ビット書き込みが完了していれば、検知トランジスタはすべて、OFF状態となっているので、VDTCはVCCに充電される。もし書き込み不足のセルが残っていると、そのビット線に対応する検知トランジスタはON状態にあるので、VDTCの電位はVSSに低下していく。このVDTCの電位を検知することによって、書き込みが終了したかどうか、一括で（すなわちアドレスを変えて、全ビット読み出すのではなく）検知する事ができる。

【0040】以上のような動作によってページからページへのコピーが外部にデータを読みだすことなく達成される。そして本実施例のセンスアンプ兼ラッチ回路は、従来VCCに固定であった配線をVCCとVSSレベルの切り替えが可能なものにするだけでよいので、僅かなロジックの変更だけで実現できる。

【0041】次に消去の確認動作について、図3のタイミングチャートをもとに説明する。消去動作では、セルが形成される基板（またはpウェル）に高電圧（例えば20V）を与え、制御ゲートにはVSSを与える。これによってメモリセルのしきい値は負の方向にシフトする。次いで、前述とほぼ同様の動作により、メモリセルのデータを読み出す。即ち、ΦFを”H”の状態、まずΦspを”H”、Φsnを”L”、Φrpを”H”、Φrnを”L”としてC²MOSインバータを非活性としたのち、ΦPBを”L”としてビット線をVCCにプリチャージする。次に選択された制御ゲートをVSSに非選択の制御ゲートをVCCに、選択された選択ゲートをVCCに一定時間保持する。ここで、選択されたメモリセルが消去されており、負のしきい値を持っていれば、セル電流が流れ、ビット線はVSSに放電される。

【0042】次にΦspを”L”、Φsnを”H”としてビット線電位を検知し、Φrpを”L”、Φrnを”H”とすることによってデータをラッチする。ΦFを”L”としてセンスアンプ兼ラッチ回路とビット線を分離する。ΦP'を”L”にし、全ビット線をVCCにプリチャージする。ΦP'を”H”にしてビット線をフローティングにする。

【0043】次にΦVを”H”にする。このときセンスアンプ兼ラッチ回路のビット線側ノードに”H”がラッチされているビット線はQn8、Qn9がいずれもON状態になるので、VSSに放電される。（VSSに特に限定する必要はない。”L”レベルと判定できる低い正の電位でもよい）またセンスアンプ兼ラッチ回路のビット線側ノードに”L”がラッチされているビット線はQn8がOFF状態になるのでVCCを保つ。

【0044】次にΦVを”L”にする。Φspを”H”、Φsnを”L”、Φrpを”H”、Φrnを”L”としてC²MOSインバータを非活性としたのち、ΦFを”H”にする。Φspを”L”、Φsnを”H”としビット線電位を検知し、Φrpを”L”、Φrnを”H”とすることによってデータをラッチする。

【0045】以上のごとく動作させると始めラッチしたデータの反転データをラッチすることが可能である。

【0046】その後検知トランジスタを用いて、ベリファイが完了したか確認する。もしすべてのセルが負のしきい値を持つならば、VDTCは”H”になる。この場合は次のページの確認をする。1つでも正のしきい値のセルが残っていれば、VDTCは”L”状態になる。その場合はVDTCが”H”と検出されるまで消去を繰り返す。

返し行う。検出結果はデータ入出力ピン又は READY/BUS Y ピンから外部に出力される。

【0047】上記例ではデータは1ページずつ確認されたが、1NANDブロック内の全ページに対して、1度に確認動作を行ってもよい。この場合は選択されたブロック内の全制御ゲートにVSSを与えた状態で読み出し動作を行う。このとき1メモセルでも正のしきい値のものが残っていれば、そのビット線は放電されないから上記例と同じ方法で、検出可能である。

【0048】また制御ゲートに与える電圧は必ずしもVSSレベルの必要はない。マージンを含める意味で、負の電圧を与えてもよい。また制御ゲートにはVSSを与えて、ソース又はソースとp型基板(又はpウェル)に正の電圧を印加して、疑似的に制御ゲートに負の電圧が印加された状態を作り出してもよい。また不良ビット線(例えばリーク)のデータは反転されないこともあるが、本実施例と区別されるべきでないことは容易に想像がつくであろう。また検出トランジスタのソースとVSSの間にヒューズを設けてもよい。不良ビット線やリダ

ンダンシー用で使用されていないものに対応するセンスアンプ兼ラッチ回路の検出トランジスタにおいては、ヒューズを切断しておけば動作上問題とならない。

【0049】図4には、本発明の第2実施例を示す。基本構成は図1と同じであるが、この実施例ではセルアレイが2個のブロック1A、1Bに分けられ、これらのセルアレイブロック1A、1Bに共通のセンスアンプ兼ラッチ回路2が設けられている。

【0050】図5はそのセンスアンプ兼ラッチ回路の構成を示している。EタイプnチャネルMOSトランジスタQn16、Qn17とEタイプpチャネルMOSトランジスタQp7、Qp9でフリップフロップFFを構成している。EタイプnチャネルMOSトランジスタQn14、Qn15はFFのイコライズ用トランジスタ、Qn27、Qn28は検知用トランジスタである。

【0051】EタイプnチャネルMOSトランジスタQn18とEタイプpチャネルMOSトランジスタQp8はFF活性用トランジスタ、EタイプnチャネルMOSトランジスタQn19とQn20はFFの2個のノードN1、N2とセルアレイブロック1A、1B内のビット線との接続用トランジスタ、Qn25、Qn26はビット線のプリチャージ、リセット用のトランジスタである。Qn21~Qn24はビット線とVCC又はVSSレベルにある配線との接続用トランジスタである。

【0052】このような構成の場合のページからページへのコピーについて述べる。メモセルアレイ1A中のページからメモセルアレイ1A中のページへデータをコピーするには、前記第1実施例のごとく読み出しデータの反転動作が必要となる。しかしメモセルアレイ1A中のページからメモセルアレイ1B中のページへのデータのコピー、メモセルアレイ1B中のページか

らメモセルアレイ1A中のページへのデータのコピーには読み出しデータの反転は必要はない。これらはセンスアンプ兼ラッチ回路の反対側のノードにそれぞれ接続されているために、読み出しデータを反転させることなくそのまま書き込み動作へ移行することができる。

【0053】このようにコピー元とコピー先のアドレスの関係により反転動作を行うか、行わないか制御することによってページのコピーが可能となる。

【0054】ここで本実施例におけるデータの反転方法について述べる。ここではメモセルアレイ1Aのページがコピー元として選択されているとする。

【0055】まずビット線BLaiが3Vに、BLbiが2V(リファレンス電位)にプリチャージされ、その後プリチャージ信号ΦPAとΦPBが”L”となって、ビット線BLaiとBLbiはフローティングになる。次に、選択された制御ゲートをVSSに、非選択の制御ゲートをVCCに、選択された選択ゲートをVCCにして一定時間保持する。イコライズ信号によってMOSフリップフロップがリセットされた後、ΦA、ΦBが”H”となってノードN1、N2がそれぞれビット線BLai、BLbiが接続され、ΦPが”L”、ΦNが”H”となってビット線BLaiが読み出される。読み出したデータはラッチされる。その後ΦA、ΦBを”L”としてビット線とFFを切り放す。次にまずビット線BLaiを3Vにビット線BLbiを2Vにプリチャージしフローティングにしたのち、ΦAVを”H”にする。その後、ΦABを”L”としたのちFFを非活性化、イコライズしたのちΦA、ΦBを”H”とし、さらにΦPを”L”、ΦNを”H”としてデータを読む。これによって、読み出したデータは一括反転される。

【0056】次に、消去後のベリファイ動作について説明する。ここではメモセルアレイ1Aのビット線BLaiが選択されているとする。

【0057】まずビット線BLaiが3Vに、BLbiが2V(リファレンス電位)にプリチャージされ、その後プリチャージ信号ΦPAとΦPBが”L”となって、ビット線BLaiとBLbiはフローティングになる。次に、選択された制御ゲートをVSSに、非選択の制御ゲートをVCCに、選択された選択ゲートをVCCにして一定時間保持する。イコライズ信号によってCMOSフリップフロップがリセットされた後、ΦA、ΦBが”H”となってノードN1、N2がそれぞれビット線BLai、BLbiが接続される。ΦPが”L”、ΦNが”H”となってビット線BLaiが読み出される。読み出したデータはラッチされる。

【0058】その後ΦA、ΦBを”L”としてビット線とFFを切り放す。次にまずビット線BLaiを3Vに、BLbiを2V(リファレンス電位)にプリチャージしフローティングにしたのち、ΦAVを”H”にする。その後FFを非活性化、イコライズしたのちΦA、

ΦBを”H”としてデータを読む。この段階でラッチされていたデータは、一括反転される。そのあと検知トランジスタQn28によって一括検知される。このようにメモリセル1Aに対し消去ベリファイを行うときにはデータの一括反転を行う。

【0059】しかしメモリセル1Bに対し消去ベリファイを行うときには、データの反転は必要はない。またメモリセル1Aに対し書き込みベリファイを行うときはデータの反転の必要はないが、メモリセルアレイ1Bに対し書き込みベリファイを行う時にはデータの反転が必要となる。

【0060】このようにメモリアドレスと消去・書き込みのモードによってそのベリファイ動作時にデータの反転を行うか行わないかを制御することによって、ベリファイ動作を1個の検知用トランジスタQn28によって行うことができる。したがって、このような消去後のベリファイ動作では、他の検知用トランジスタQn27は不要となる。

【0061】また本発明は上記実施例に限らない。データの反転はページ一括で行わなくても良い。バイトごとにチップ内部で反転を行ってもいい。これを図6の第3実施例に示す。図7は、その動作のフローチャートである。図6は、前記図2のセンスアンプ兼ラッチ回路に対応するIOセンス回路及び反転データ発生回路を示している。図6において、9はカレントミラー型作動センスアンプ、10、11はトランスファゲートである。動作はIO、IOBをイコライズしたのち、センスアンプ兼ラッチ回路のカラムゲートCSLiを”H”としデータをIO、IOB線に出力する。その電位差をカレントミラー型作動センスアンプ9でセンスし後段でラッチする。そしてこのデータより反転データを形成し、IO、IOB線を通じて、センスアンプ兼ラッチ回路に転送しラッチ内容を反転させてもよい。この場合もアドレス信号をチップ内部でカウンター等を用いて形成してもよい。

【0062】また図8の第4実施例に示すように、メモリセルアレイが複数個1A、1B、2A、2B（ここでは簡単のため4分割を例にあげる。）に分割されている場合を考える。このような場合でも上記第3実施例のごとく、チップ内部でコピー元ページのデータを読み、コピー先のページのセンスアンプ兼ラッチ回路にデータを転送してやってもよい。

【0063】またセルアレイ1A中のページからセルア

レイ1A中のページへのコピーのように、同一セルアレイ内でのコピーの場合は上記実施例のごとく、読み出しデータを一括反転させ、セルアレイ1A中のページからセルアレイ1B中のページへのコピーのように同じセンスアンプ兼ラッチ回路を共有するセルアレイ間のコピーの場合は読み出しデータをそのまま書き込みデータとし、セルアレイ1A中のページからセルアレイ2A中のページへのコピーの場合は、チップ内部でバイト単位で読み出し、コピー可能な書き込みデータにして、コピー先のセンスアンプ兼ラッチ回路にデータを転送するように、上記実施例を組み合わせ使用することも可能である。

【0064】

【発明の効果】以上説明したように、本発明によれば、メモリ手段における所定単位から読み出し動作によりラッチ手段にラッチしたデータを反転して再ラッチし、このデータ反転に基づいて所要の処理動作を実行するようにしたため、所定単位データの他の所定単位へのコピー処理又は消去ベリファイ動作等の所要の処理動作を、外部へのデータの読み出し、再転送を必要とすることなく高速に行うことができる。

【図面の簡単な説明】

【図1】本発明に係る不揮発性半導体メモリ装置の第1実施例を示すブロック図である。

【図2】第1実施例におけるセンスアンプ兼ラッチ回路の回路図である。

【図3】第1実施例において消去の確認動作におけるセンスアンプ兼ラッチ回路の動作を説明するためのタイミングチャートである。

【図4】本発明の第2実施例を示すブロック図である。

【図5】第2実施例におけるセンスアンプ兼ラッチ回路の回路図である。

【図6】本発明の第3実施例を示す回路図である。

【図7】第3実施例の動作を説明するためのタイミングチャートである。

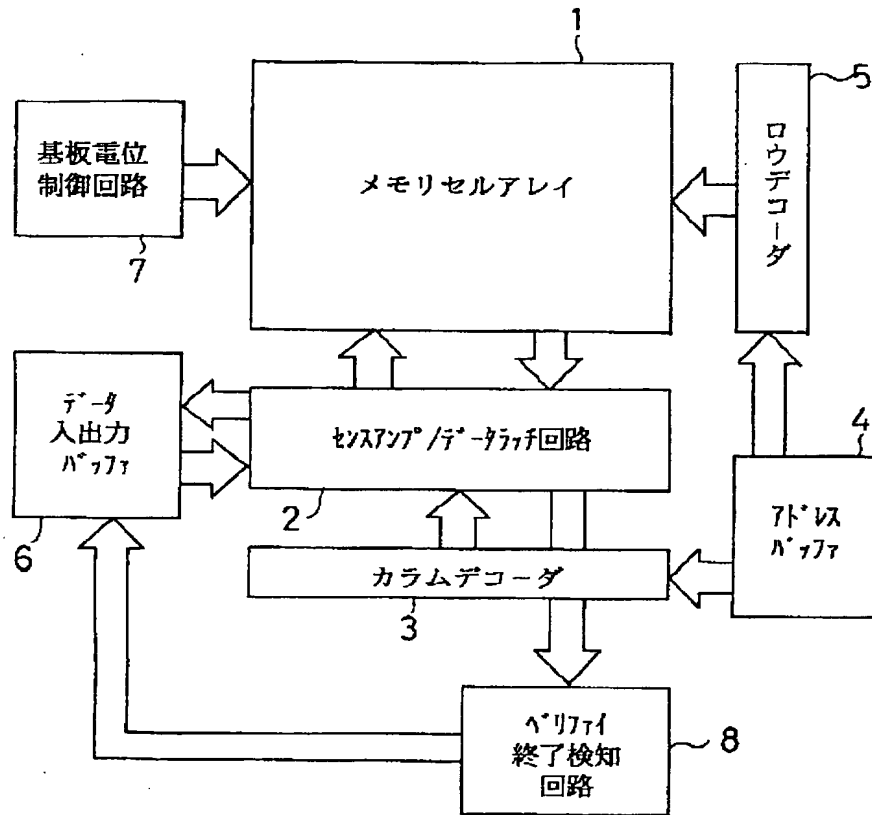
【図8】本発明の第4実施例を示すブロック図である。

【図9】従来の不揮発性半導体メモリ装置におけるセンスアンプ兼ラッチ回路を示す回路図である。

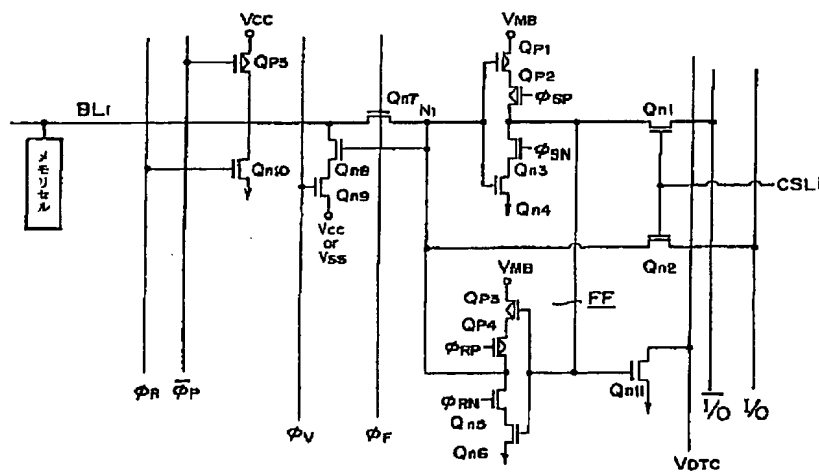
【符号の説明】

- 1, 1A, 1B メモリセルアレイ（メモリ手段）
- 2 センスアンプ兼ラッチ回路（ラッチ手段）
- 8 ベリファイ検知回路

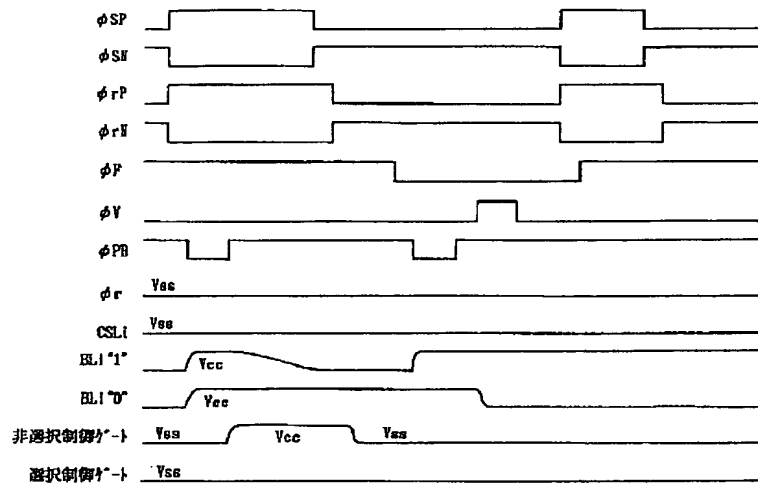
【図1】



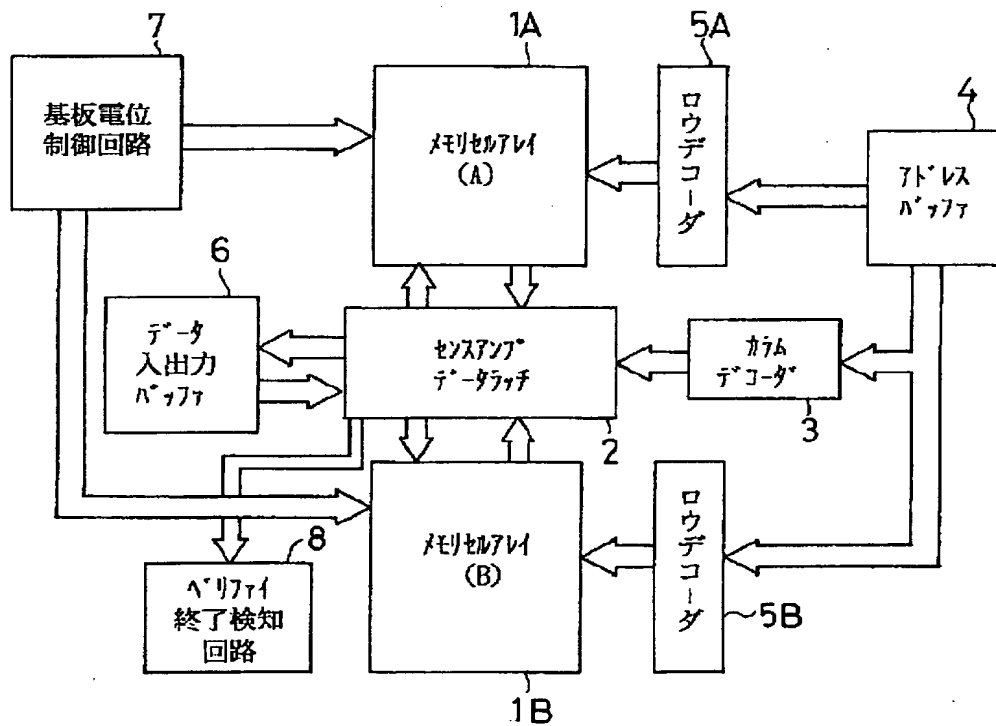
【図2】



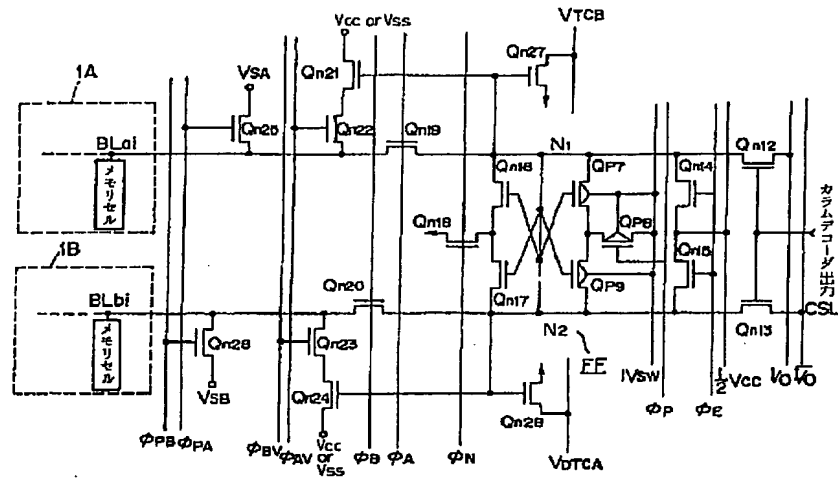
【図3】



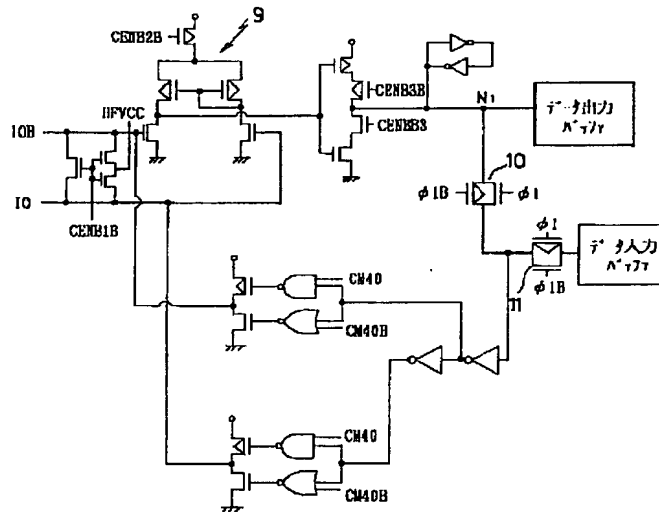
【図4】



【図5】



【図6】



CS1

IO

IOB

CENB1B

CENB2B

CENB9B

CENB3

K1

ϕ

$\phi 1B$

CM40

CM40B

S/A.D./L+*Y
線側ノード

S/A.D./L+*Y
線側ノード

IOB100ns

IOピン

RAM* - ION

Wait for OFF

IO* ストロボ

IO ストロボ内

IO, IOB 反転

* 出力

IO* ストロボ

内* ストロボ反転

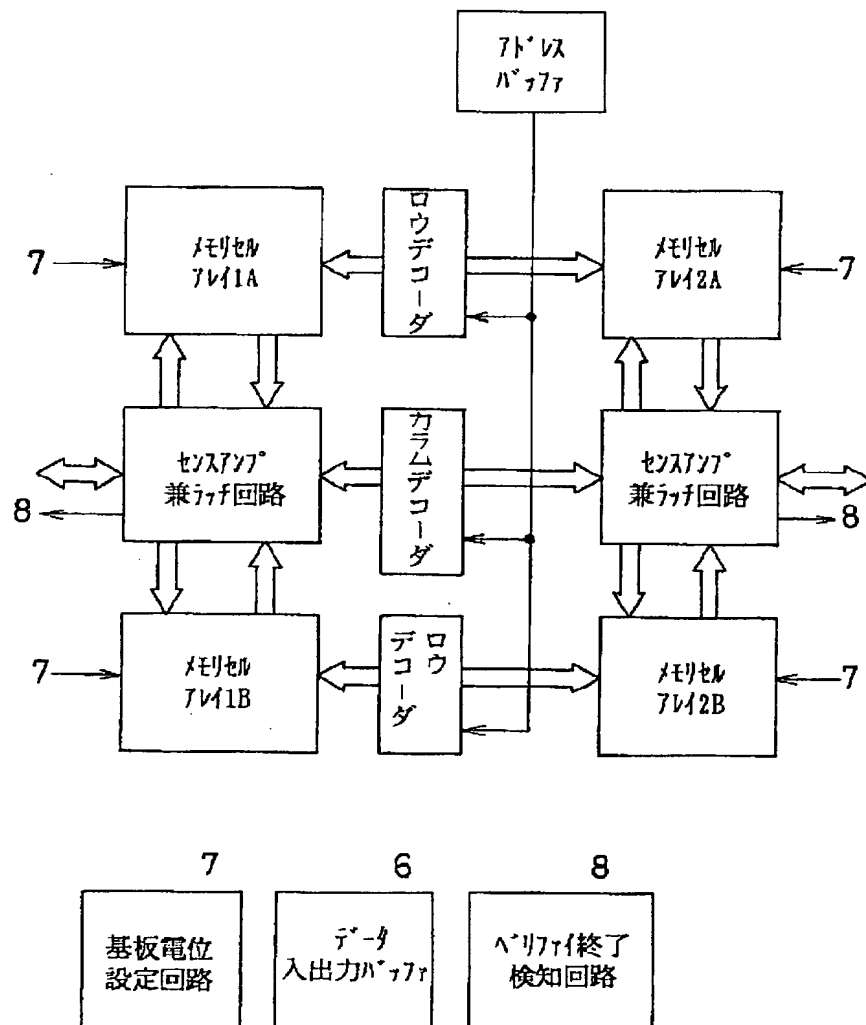
NEXT

71" 以下

The schematic diagram shows a complex circuit with multiple transistors and signal lines. Key components include:

- BL1**: A horizontal signal line connected to a **メモリセル** (memory cell) block on the left.
- VCC**: A power supply terminal connected to the gates of QP5, Qn10, Qn8, Qn9, and Qn7.
- VMB**: A control signal terminal connected to the gates of QP1, QP2, QP3, QP4, and the gates of Qn1 and Qn2.
- ΦR, ΦP, ΦF, ΦV**: Various clock or control signals connected to the gates of different transistors (e.g., ΦR to QP5, ΦP to Qn10, ΦF to Qn7, ΦV to Qn8/Qn9).
- Qn1-Qn10**: A series of NMOS transistors forming the main switching network.
- QP1-QP5**: A series of PMOS transistors, with QP1 and QP2 acting as load devices for Qn1 and Qn2 respectively.
- FF**: A feedback loop or latch structure connected to the gates of Qn1 and Qn2.
- CSL1**: The output signal line connected to the drains of Qn1 and Qn2.
- VDTG**: A signal terminal connected to the gates of Qn5 and Qn6.
- ΦRP, ΦRN**: Signals connected to the gates of QP3/QP4 and Qn5/Qn6 respectively.

【図8】



フロントページの続き

(72)発明者 大平 秀子
 神奈川県川崎市幸区小向東芝町1 株式会
 社東芝総合研究所内

(72)発明者 岡本 豊
 神奈川県川崎市幸区小向東芝町1 株式会
 社東芝総合研究所内